

肖有为

Youwei Xiao

+86 185 1920 4005

shallwe@pku.edu.cn | uv-xiao.github.io | [GitHub](https://github.com)

教育经历

北京大学集成电路学院，集成电路科学与工程博士研究生

2022 年 9 月 – 至今

导师：梁云教授；研究方向：围绕敏捷芯片设计与编译优化的软硬件协同

中国北京

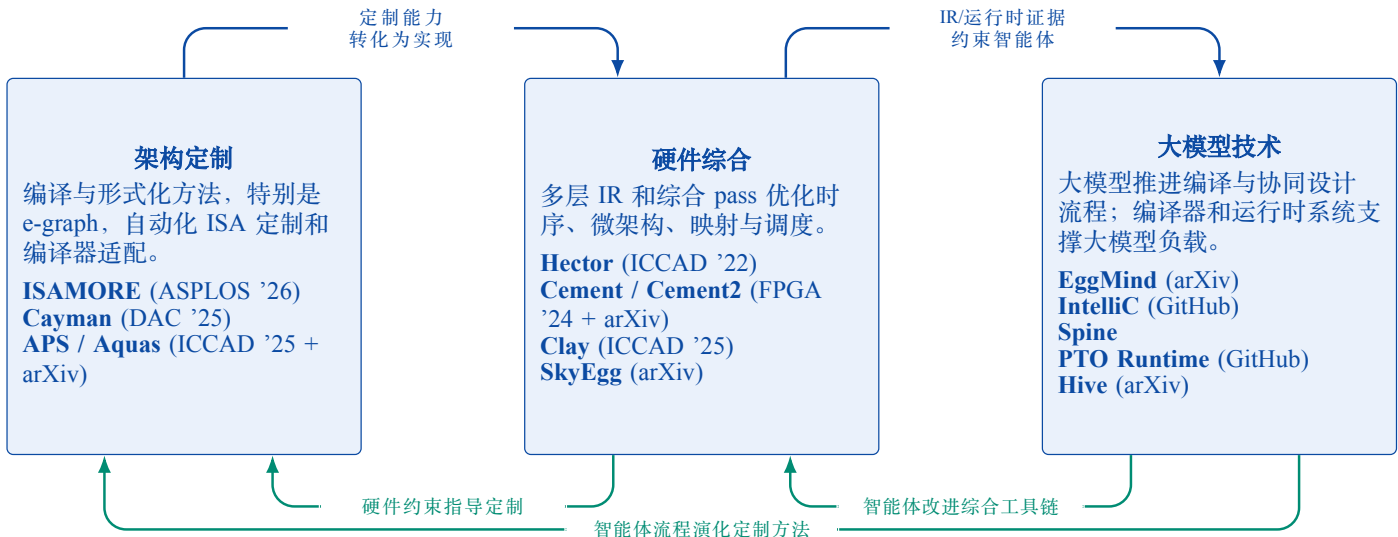
北京大学信息科学技术学院，计算机科学与技术理学学士

2018 年 9 月 – 2022 年 7 月

中国北京

研究方向

我的研究围绕敏捷芯片设计与编译优化的软硬件协同展开。核心问题是：如何把真实软件需求转化为可复用的体系结构能力，将其实现为高质量硬件，并通过可分析、可验证、可复用的编译接口重新暴露给软件栈。



架构定制。我探索使用编译技术和形式化方法，特别是 e-graph 技术，自动化 ISA 定制和编译器适配。

ISAMORE (DOI) 通过对等价程序片段进行反一化来发现可复用自定义指令。*Cayman* (DOI) 从完整应用中发现加速器机会，并同时优化控制流和数据访问。*APS* (DOI, GitHub) 和 *Aquas* (preprint) 将定制硬件能力连接到可重新定向的编译器支持。

硬件综合。我在多个抽象层次创建中间表示，并提出综合优化 pass，用于优化时序、微架构、映射和调度。

Hector (DOI, GitHub) 为硬件综合方法提供多层 MLIR 基础设施。*Cement* (DOI) 和 *Cement2* (preprint) 将周期时序和时间事务提升为 FPGA 设计的一等抽象。*Clay* (DOI) 综合微架构感知的 ASIP 指令，*SkyEgg* (preprint) 使用 e-graph 联合进行实现选择与调度。

大模型技术。我同时探索大模型用于编译器，以及编译器/系统技术支持大模型。*EggMind* (preprint) 使用大模型综合可复用的等式饱和策略。*IntelliC* (GitHub) 研究面向人与智能体协作的可检查编译表示。*Spine* 研究验证有界的智能体协同设计，用类型化语义边界和可执行检查，将设计意图、架构描述、硬件/编译器产物和验证反馈连接成可追踪闭环。*PTO Runtime* (GitHub) 面向昇腾芯片和灵衢超节点执行编译后的任务图，用于分布式推理服务。*Hive* (preprint) 将系统视角扩展到多智能体推理基础设施。

这一闭环的逻辑是：架构定制暴露可复用硬件能力，硬件综合将其转化为高效实现，而大模型时代的技术推进既有编译和协同设计工具链，并提供持续演化的能力，使该闭环真正变得可实践、可自我改进。

论文发表

- **Youwei Xiao**, Chenyun Yin, Yitian Sun, and Yun Liang. 2026. Finding Reusable Instructions via E-Graph Anti-Unification. ASPLOS '26. doi:10.1145/3779212.3790162. **[最佳论文奖, 5/1048]**
- **Youwei Xiao**, Yuyang Zou, Yansong Xu, Yuhao Luo, Yitian Sun, Chenyun Yin, Ruifan Xu, Renze Chen, and Yun Liang. 2025. APS: Open-Source Hardware-Software Co-Design Framework for Agile Processor Specialization. ICCAD '25. doi:10.1109/ICCAD66269.2025.11240817. [邀请论文]
- Weijie Peng*, **Youwei Xiao***, Yuyang Zou, Zizhang Luo, and Yun Liang. 2025. Clay: High-level ASIP Framework for Flexible Microarchitecture-Aware Instruction Customization. ICCAD '25. doi:10.1109/ICCAD66269.2025.11240669. (* 共同一作)
- **Youwei Xiao**, Fan Cui, Zizhang Luo, Weijie Peng, and Yun Liang. 2025. Cayman: Custom Accelerator Generation with Control Flow and Data Access Optimization. DAC '25. doi:10.1109/DAC63849.2025.11132875.
- **Youwei Xiao**, Zizhang Luo, and Yun Liang. 2025. cmt2: Rule-Based Hardware Description in Rust with Temporal Semantics. LATTE '25. paper.
- Fan Cui, **Youwei Xiao**, Kexing Zhou, and Yun Liang. 2025. An Empirical Comparison of LLM-based Hardware Design and High-level Synthesis. FPGA '25. doi:10.1145/3706628.3708861.
- Fan Cui, Chenyang Yin, Kexing Zhou, **Youwei Xiao**, Guangyu Sun, Qiang Xu, Qipeng Guo, Yun Liang, Xingcheng Zhang, Demin Song, and Dahua Lin. 2024. OriGen: Enhancing RTL Code Generation with Code-to-Code Augmentation and Self-Reflection. ICCAD '24. doi:10.1145/3676536.3676830.
- **Youwei Xiao**, Zizhang Luo, Kexing Zhou, and Yun Liang. 2024. Cement: Streamlining FPGA Hardware Design with Cycle-Deterministic eHDL and Synthesis. FPGA '24. doi:10.1145/3626202.3637561.
- Ruifan Xu, **Youwei Xiao**, Jin Luo, and Yun Liang. 2022. HECTOR: A Multi-Level Intermediate Representation for Hardware Synthesis Methodologies. ICCAD '22. doi:10.1145/3508352.3549370.

预印本

- Chenyun Yin*, **Youwei Xiao***, Yuze Luo, Yuyang Zou, and Yun Liang. LLM-Guided Strategy Synthesis for Scalable Equality Saturation. arXiv:2604.17364. (* 共同一作)
- Zizhang Luo, Yuhao Luo, **Youwei Xiao**, Yansong Xu, Runlin Guo, and Yun Liang. Hive: A Multi-Agent Infrastructure for Algorithm- and Task-Level Scaling. arXiv:2604.17353.
- Yuyang Zou, **Youwei Xiao**, Yansong Xu, Chenyun Yin, Yuhao Luo, Yitian Sun, Ruifan Xu, Renze Chen, and Yun Liang. Aquas: Enhancing Domain Specialization through Holistic Hardware-Software Co-Optimization based on MLIR. arXiv:2511.22267.
- **Youwei Xiao**, Yuyang Zou, and Yun Liang. SkyEgg: Joint Implementation Selection and Scheduling for Hardware Synthesis using E-graphs. arXiv:2511.15323.
- **Youwei Xiao**, Zizhang Luo, Weijie Peng, Yuyang Zou, and Yun Liang. Cement2: Temporal Hardware Transactions for High-Level and Efficient FPGA Programming. arXiv:2511.15073.

荣誉奖励

学术之芯	2026
北京大学集成电路学院 2026 年度荣誉, 授予 8 人	
博士研究生校长奖学金	2026-2027
北京大学; 集成电路学院授予 10 人	
ASPLOS 2026 最佳论文奖	2026 年 3 月
Finding Reusable Instructions via E-Graph Anti-Unification	5/1048 submissions
EDAthon 2020 第二名	2020 年 8 月
电子设计自动化编程竞赛	IEEE CEDA Hong Kong Chapter
深圳证券交易所奖学金	2019-2020
北京大学信息科学技术学院 17 人获奖	

三好学生 综合表现优秀，授予前 10% 学生	2018-2019、2019-2020
杨芙清-王阳元院士奖学金 北京大学信息科学技术学院仅 5 人获奖	2018-2019
NOI 2017 二等奖 全国青少年信息学奥林匹克竞赛	2017 年 7 月 中国计算机学会
APIO 2017 二等奖 亚太地区信息学奥林匹克中国赛区	2017 年 5 月 中国计算机学会

教程报告

APS: An MLIR-Based Hardware-Software Co-design Framework ASP-DAC 2026	2026 年 1 月 中国香港
Agile Hardware Specialization: A toolbox for Agile Chip Front-end Design ISED A 2025	2025 年 5 月 中国香港
Agile Hardware Specialization (AHS) ASPLOS 2025	2025 年 3 月 荷兰鹿特丹
Agile Hardware Specialization: A toolbox for Agile Chip Front-end Design DATE 2025	2025 年 3 月 法国里昂
AHS: An EDA toolbox for Agile Chip Front-end Design ASP-DAC 2025	2025 年 1 月 日本东京

教学经历

高层次芯片设计课程助教 北京大学	2022 年春季、2022 年秋季
计算机系统导论课程助教 北京大学	2020 年秋季